

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-231279

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

G02F 1/133

G09G 3/18

(21)Application number : 10-030108

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.02.1998

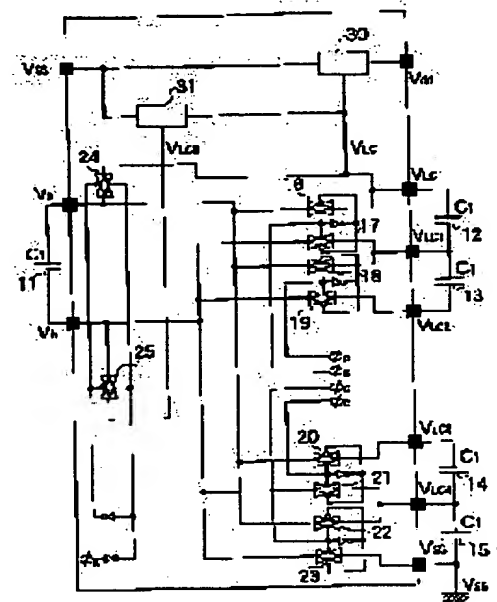
(72)Inventor : USHIKI HIROSHI

(54) LIQUID CRYSTAL DRIVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal drive circuit reducing power consumption.

SOLUTION: In this liquid crystal drive circuit, a difference between an output of a first regulator 30 and the output of a second regulator 31 is supplied to a charge pumping capacitor 11, and at the next timing, on/off of analog switches 16-25 are controlled based on time division signals ϕA and ϕE , and the charge pumping capacitor 11 is connected parallel to any one of the capacitors 12-15, and charges are supplied to the connected capacitor, and liquid crystal driving middle potential VLC1-VLC4 are generated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-231279

(43) 公開日 平成11年(1999) 8月27日

(51) IntCl.⁶

G 0 2 F 1/133

G 0 9 G 3/18

識別記号

5 0 5

F I

G 0 2 F 1/133

G 0 9 G 3/18

5 0 5

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号

特願平10-30108

(22) 出願日

平成10年(1998) 2月12日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 牛木 浩

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

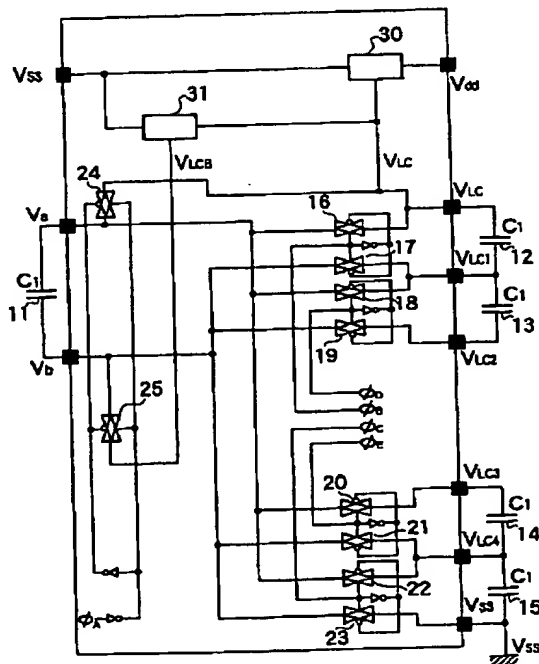
(74) 代理人 弁理士 三好 秀和 (外 3 名)

(54) 【発明の名称】 液晶駆動回路

(57) 【要約】

【課題】 消費電力の低減化を図ることができる液晶駆動回路を提供する。

【解決手段】 この液晶駆動回路では、チャージポンプ用コンデンサ11に第1のレギュレータ30の出力と第2のレギュレータ31の出力との差を供給し、次のタイミングで時分割信号 $\phi A \sim \phi E$ に基づいてアナログスイッチ16~25のオン・オフを制御してチャージポンプ用コンデンサ11をコンデンサ12~15のいずれかに並列に接続し、接続されたコンデンサに電荷を供給することにより、液晶駆動用の中間電位 $V_{LC1} \sim V_{LC4}$ を生成する。



【特許請求の範囲】

【請求項1】 チャージポンプ用コンデンサと、複数の外部端子相互間に接続される複数のコンデンサと、複数の時分割信号を発生する論理回路と、上記時分割信号に基づいて上記チャージポンプ用コンデンサの接続を切り換えるアナログスイッチ回路と、液晶電源生成用の供給電位を生成する端子と基準電位を生成する端子との間に接続された第1のレギュレータと、上記第1のレギュレータの出力と上記基準電位との間に接続された第2のレギュレータとを具備し、
上記第1のレギュレータの出力と上記第2のレギュレータの出力との差の電位を上記チャージポンプ用コンデンサに電荷を供給し、次のタイミングで上記時分割信号に基づいて上記アナログスイッチ回路を制御して当該チャージポンプ用コンデンサを上記複数のコンデンサのいずれかに並列に接続して、当該コンデンサに電荷を供給することにより、液晶駆動用の中間電位を生成することを特徴とする液晶駆動回路。

【請求項2】 上記複数のコンデンサは、上記供給電位を生成する端子と上記外部端子との間に接続されたコンデンサと、上記基準電位を生成する端子と上記外部端子との間に接続されたコンデンサとで分割構成されていることを特徴とする請求項1記載の液晶駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶素子による表示部を備えた携帯情報機器等で使用される半導体集積回路に関し、特に、その液晶表示部の駆動回路に関する。

【0002】

【従来の技術】従来、例えばページャ(Pager)、携帯電話、電子手帳等に代表される携帯情報機器の表示*

$$1 / ((\text{デューティ})^{1/2} - 1) \sim 1 / ((\text{デューティ})^{1/2} + 1) \cdots (1)$$

で表され、液晶の材質及びデューティにより選択される。そして、このバイアスの選択は上記抵抗106～109のいずれかを選択することにより行われる。具体的には、2ビットの信号R1、R2を公知技術のデコーダ112によりデコードし、その出力信号によりアナログスイッチ113～116のいずれか1つをオンすることにより実現される。

【0006】通常、抵抗104、105、110、111は同一の抵抗値(ここでは、その値をRBとする)とされ、バイアス選択用の抵抗106～107は上記RBのN倍(N=2～5)の抵抗値に設定される。従って、例えば抵抗109(その抵抗値は2RB)を選択した場合に1/6バイアス、抵抗108(その抵抗値は3RB)を選択した場合に1/7バイアス、抵抗107(その抵抗値は4RB)を選択した場合に1/8バイアス、抵抗106(その抵抗値は5RB)を選択した場合に1/9バイアスとなる。

【0007】上記分割抵抗103～111はDC電流を

*手段には、低消費電力の液晶素子が使用されている。かかる液晶素子の表示のための駆動方式として、数字やアルファベットなどの低デューティの表示においては、コンデンサを使用した昇降圧回路を用いる低消費電力方式が主に採用されている。

【0003】これに対し、漢字や文字などの高デューティの表示では、オペアンプを用いる駆動方式が主に採用されている。従って、かかる高デューティの表示を行う場合には、低消費電力化を実現することは困難である。

10 今日、携帯情報機器の多機能化に伴い液晶の大画面化、すなわち高デューティ化が進んでおり、将来的には、高デューティ表示が主流となるのは確実である。そのため、この高デューティ表示について低消費電力化を実現するための液晶駆動回路が囑望されている。

【0004】ここで、高デューティ表示を行う従来の液晶駆動回路について説明する。図5は、高デューティ表示を行う従来の液晶駆動回路の構成を示す図である。図5において、この液晶駆動回路では、液晶電源生成用の供給電位Vdd101と基準電位Vss102との間には、分割抵抗103～105と抵抗106～109のいずれ1つ、抵抗110、111が直列に接続されており、各抵抗値に応じた中間電位を生成する。特に、抵抗103は液晶の温度補正用の抵抗であり、一般的にはソフトウェアの制御によりその抵抗値RAを変化させるものである。

【0005】一般に、TN(Twisted Nematic)方式を用いた液晶、STN(Super Twisted Nematic)方式を用いた液晶の適性バイアスは、

【数1】

極力抑えることができるように高抵抗となっており、この分割抵抗で生成された中間電位はオペアンプ回路117～121で増幅され、大きな液晶を駆動するのに十分な電流を流すように設計されている。このオペアンプ回路117～121の出力は安定化のためにコンデンサ122～126により保持される。

【0008】図6は、図5のアナログスイッチ116をオンして抵抗109を選択し、1/6バイアスとしたときのコモンバイアス電圧COM1及びセグメントバイアス電圧SEG1の駆動波形の様子を示す図である。図6において、セグメントバイアス電圧SEG1とコモンバイアス電圧COM1との電位差が±VLCの期間のみ点灯状態となり、その他の期間は非点灯状態となる。かかる場合におけるコモンバイアス電圧COM1を基準としたセグメントバイアス電圧SEG1の電位は、図7に示すように、点灯期間で±VLCとなり、非点灯期間ではVLC3-VLC4(=+VLC/6)またはVLC2-VLC1(=-VLC/6)となる。

【0009】ところが、このような液晶駆動回路では上述したように低消費電力化を実現することは困難であった。上記液晶駆動回路では、分割抵抗103～111に常時直流電流が流れており、また、分割抵抗103～111によって生成された電位を増幅するオペアンプ回路117～121においても電流は消費される。これらの電流は表示中には常時流れるものであり、従って、低消費電力化を実現する上で非常に問題であった。

【0010】そこで、この問題を解決すべく、本発明者は特願平8-10177号の特許出願の発明において、図8に示すように、デコーダ10の信号によりアナログスイッチ26～29のいずれかをオンしてバイアス選択用の抵抗3～6のいずれかを選択し、所望とするバイアスを設定した後、チャージポンプ用のコンデンサ11に電荷を供給し、次のタイミングで、時分割信号φA～φEの基づいて各アナログスイッチ16～25のオン/オフを制御してチャージポンプ用のコンデンサ11をコンデンサ12～15のいずれかに並列に接続して電荷を供給し、こうして液晶駆動用の中間電位VLC1～VLC4を生成する液晶駆動回路を提案した。

【0011】この提案されている液晶駆動回路では、コンデンサの昇圧・降圧回路によるチャージポンプ方式を採用することにより、上記図5に示す駆動回路と比べて大幅に消費電力を低減することができる特徴がある。

【0012】

【発明が解決しようとする課題】しかしながら、このような液晶駆動回路でも、図8から明らかなように、分割抵抗1～7に流れる電流と2つのオペアンプ回路8、9に流れる電流によって消費電力の低減化が妨げられるという問題点がある。

【0013】本発明は、このような考察の下で成されたものであり、その目的は、低消費電力のレギュレータを利用することで、より一層の低消費電力化を実現する液晶駆動回路を提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するために、本発明は、チャージポンプ用コンデンサと、複数の外部端子相互間に接続される複数のコンデンサと、複数の時分割信号を発生する論理回路と、上記時分割信号に基づいて上記チャージポンプ用コンデンサの接続を切り換えるアナログスイッチ回路と、液晶電源生成用の供給電位を生成する端子と基準電位を生成する端子との間に接続された第1のレギュレータと、上記第1のレギュレータの出力と上記基準電位との間に接続された第2のレギュレータとを具備し、上記第1のレギュレータの出力と上記第2のレギュレータの出力との差の電位を上記チャージポンプ用コンデンサに電荷を供給し、次のタイミングで上記時分割信号に基づいて上記アナログスイッチ回路を制御して当該チャージポンプ用コンデンサを上記複数のコンデンサのいずれかに並列に接続して、当該コ

ンデンサに電荷を供給することにより、液晶駆動用の中間電位を生成することを特徴とする。

【0015】上記構成の液晶駆動回路では、上記第1のレギュレータ及び第2のレギュレータにより所望のバイアスに設定された電位差を上記チャージポンプ用コンデンサに供給し、次のタイミングで、時分割信号に基づいて各アナログスイッチ回路のオン・オフを制御して、電荷の蓄積されたチャージポンプ用コンデンサを複数のコンデンサのいずれかに並列に接続して電荷を供給し、液晶駆動用の中間電位を生成する。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。図1は、本発明の実施の形態に係る液晶駆動回路の構成を示す図である。図1において、この液晶駆動回路では、液晶電源生成用の供給電位Vddと基準電位Vssとの間には第1のレギュレータ30が接続され、第1のレギュレータ30は液晶駆動電圧VLCを生成する。また、第1のレギュレータ30は、液晶の温度補正機能を有しており、例えば、ソフトウェアの制御によりその出力電位を可変させることにより実現される。

【0017】一方、液晶駆動電圧VLCと基準電位VSSとの間には第2のレギュレータ31が接続され、第2のレギュレータ31はバイアス生成電圧VLCBを生成する。

【0018】また、液晶バイアス電圧(VC1)は上記VLCとVLCBとの電位差で表され、そのバイアス選択は、例えば、 $VC1 = VLC - VLCB = VLC / N$ となるように上記第1のレギュレータ30及び第2のレギュレータ31の回路を構成し、ソフトウェアの制御によりそのNを可変させることで実現される。

【0019】第1のレギュレータ30及び第2のレギュレータ31は、低消費電力のものであればよく、種々の回路構成をとることが可能であるが、例えば、図2に示すような回路構成であるレギュレータを用いることができる。

【0020】第1のレギュレータ30の出力はアナログスイッチ24を介して端子Vaに接続されている。一方、第2のレギュレータ31の出力はアナログスイッチ25を介して端子Vbに接続されている。そして、この端子Vaと端子Vbの間にはチャージポンプ用のコンデンサ11が接続されている。

【0021】上記端子Vaはアナログスイッチ16、18、20、22を介して端子VLC～VLC4に接続されており、上記端子Vbはアナログスイッチ17、19、21、23を介して端子VLC1～Vssに接続されている。そして、端子VLCと端子VLC1との間にはコンデンサ12が接続されており、端子VLC1と端子VLC2との間にはコンデンサ13が接続されており、端子VLC3と端子VLC4との間にはコンデンサ

10

20

30

40

50

14が接続されており、端子VLC4と端子Vssとの間にはコンデンサ15が接続されている。さらに、各アナログスイッチ16～25には、時分割信号(φA～φE)を入力するための端子がそれぞれ接続されている。

【0022】次に、本実施の形態に係る液晶駆動回路の動作について説明する。ここでは、液晶バイアス電圧 $V_{C1} = VLC/N$ 、 $N=6$ の場合、すなわち $1/6$ バイアス時を例に挙げて動作を説明する。この液晶駆動回路は、図3に示すような複数の時分割信号φA、φB、φC、φD、φEに基づいて各タイミングT1～T8で時分割制御を行う。なお、この時分割信号φA、φB、φC、φD、φEは、公知技術に係る論理回路により生成することができるので、ここでは詳細な説明は省略する。

【0023】図3のタイミングT1、T3、T5、T7(φA=0)では、アナログスイッチ24、25がオンし、第1のレギュレータ30の出力が端子Vaに接続され、第2のレギュレータ31の出力が端子Vbに接続される。従って、端子Vaと端子Vbとの間、つまりコンデンサ11に液晶バイアス電圧 $V_{C1} = VLC - VLC$
 $B = VLC/6$ がチャージされることになる。一方、このタイミングでは、保持用のコンデンサ12～15の各端子に接続されるアナログスイッチ16～23はすべてオフしている。従って、チャージポンプ用のコンデンサ11からいずれの保持用コンデンサ12～15に対しても電荷の供給はない(図4(a)参照)。

【0024】次に、図3のタイミングT2(φB=1)では、アナログスイッチ24、25がオフし、端子VLC、端子VLC1に接続されているアナログスイッチ16、17がオンする。従って、チャージポンプ用コンデンサ11と保持用コンデンサ12とが並列に接続され、チャージポンプ用コンデンサ11から保持用コンデンサ12に電荷の供給が行われる(図3(b)参照)。

【0025】次に、図3のタイミングT4(φC=1)では、アナログスイッチ24、25がオフし、端子VLC4、端子Vssに接続されているアナログスイッチ22、23がオンする。従って、チャージポンプ用コンデンサ11と保持用コンデンサ15とが並列に接続され、チャージポンプ用コンデンサ11から保持用コンデンサ15に電荷の供給が行われる(図3(c)参照)。

【0026】次に、図3のタイミングT6(φD=1)では、アナログスイッチ24、25がオフし、端子VLC1、端子VLC2に接続されているアナログスイッチ18、19がオンする。従って、チャージポンプ用コンデンサ11と保持用コンデンサ13とが並列に接続され、チャージポンプ用コンデンサ11から保持用コンデンサ13に電荷の供給が行われる(図3(d)参照)。

【0027】次に、図3のタイミングT8(φE=1)では、アナログスイッチ24、25がオフし、端子VLC3、端子VLC4に接続されているアナログスイッチ

20、21がオンする。従って、チャージポンプ用コンデンサ11と保持用コンデンサ14とが並列に接続され、チャージポンプ用コンデンサ11から保持用コンデンサ14に電荷の供給が行われる(図3(e)参照)。

【0028】このようなタイミングT1～T8のサイクルを繰り返すことにより、各端子VLC1～VLC4の電位は、

$$VLC4 = VLC/6$$

$$VLC3 = VLC/3$$

$$VLC2 = 2 \cdot VLC/3$$

$$VLC1 = 5 \cdot VLC/6$$

となり、こうして液晶駆動用の中間電位が生成される。

【0029】従って、上記と同様の考え方により、デューティをNとした場合の各端子VLC1～VLC4の電位は、

$$VLC4 = VLC/N$$

$$VLC3 = 2 \cdot VLC/N$$

$$VLC2 = VLC \cdot (1 - (2/N))$$

$$= VLC \cdot (N-2)/N$$

$$VLC1 = VLC \cdot (1 - (1/N))$$

$$= VLC \cdot (N-1)/N$$

で示された液晶駆動用の中間電位を生成することができる。

【0030】以上説明したように、本実施の形態に係る液晶駆動回路では、チャージポンプ用コンデンサと、複数の外部端子相互間に接続される複数の保持用コンデンサと、複数の時分割信号を発生する論理回路と、上記時分割信号に基づいて上記チャージポンプ用コンデンサの接続を切り換えるアナログスイッチ回路とを具備し、最初のタイミングで上記チャージポンプ用コンデンサに電荷を供給し、次のタイミングで上記時分割信号に基づいて上記アナログスイッチ回路を制御して当該チャージポンプ用コンデンサを上記複数の保持用コンデンサのいずれかに並列に接続して、当該チャージポンプ用コンデンサの電荷を当該保持用コンデンサに供給することにより、液晶駆動用の中間電位を生成することを特徴とする。

【0031】特に、上記複数の保持用コンデンサは、液晶電源生成用の供給電位を生成する端子と外部端子との間に接続されたコンデンサと、基準電位を生成する端子と外部端子との間に接続されたコンデンサとで分割構成されている。

【0032】さらに、上記チャージポンプ用コンデンサには、上記供給電位を生成する端子と上記基準電位を生成する端子との間に接続された第1のレギュレータの出力と、上記第1のレギュレータの出力と上記基準電位との間に接続された第2のレギュレータの出力との差が供給される。

【0033】このような本発明の液晶駆動回路によれば、コンデンサの昇圧・降圧によるチャージポンプ方式

を採用することにより、消費電力を大幅に低減することができる。

【0034】さらに、チャージポンプ用コンデンサの充電に低消費電力のレギュレータを利用することで、より一層消費電力の低減化を図ることが可能となる。

【0035】

【発明の効果】以上説明したように、本発明によれば、消費電力の低減化が可能な液晶駆動回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る液晶駆動回路の構成を示す図である。

【図2】図1の第1のレギュレータ30及び第2のレギュレータ31の一構成例を示す図である。

【図3】時分割信号 $\phi_A \sim \phi_E$ により制御される各タイミングT1～T8を示したタイミングチャートである。

【図4】時分割信号 $\phi_A \sim \phi_E$ に基づいてチャージポンプ用コンデンサが各端子に接続される様子を示した図である。

【図5】従来の液晶駆動回路の構成を示す図である。

【図6】図5のアナログスイッチ116をオンして抵抗109を選択し、1/6バイアスとしたときのコモンバイアス電圧COM1及びセグメントバイアス電圧SEG1の駆動波形の様子を示す図である。

【図7】図6のコモンバイアス電圧COM1とセグメン*

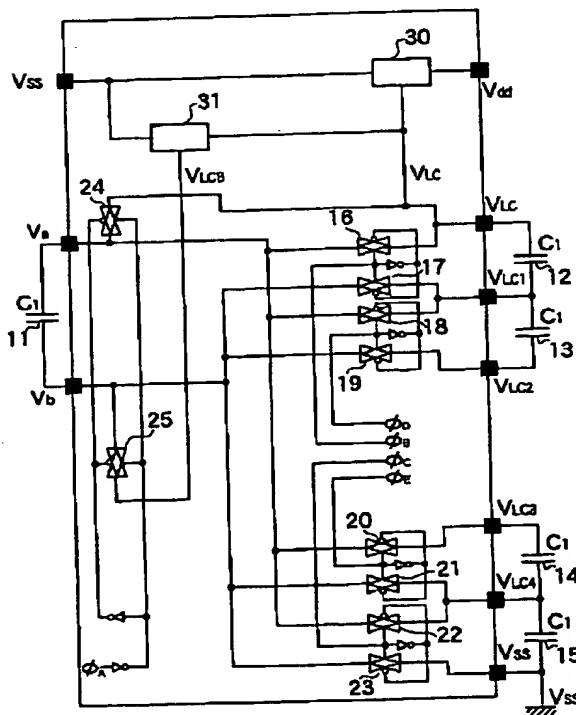
*トバイアス電圧SEG1との電位差を示す図である。

【図8】従来の液晶駆動回路の他の構成を示す図である。

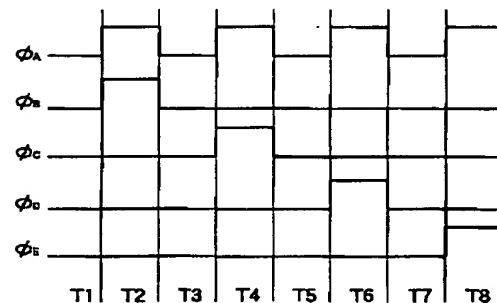
【符号の説明】

- 1、2、104、105、110、111 分割抵抗
- 3、4、5、6、106、107、108、109 バイアス選択用の抵抗
- 7、103 液晶の温度補正用の抵抗
- 8、9、117、118、119、120、121 オペアンプ回路
- 10、112 デコーダ
- 11 チャージポンプ用コンデンサ
- 12、13、14、15、122、123、124、125、126 保持用コンデンサ
- 16、17、18、19、20、21、22、23、24、25、26、27、28、29、113、114、115、116 アナログスイッチ
- 30、31 レギュレータ
- 32 バイアス回路
- 33 リファレンス回路
- 34 差動増幅回路
- 35 出力回路
- 101 供給電位Vdd
- 102 基準電位Vss

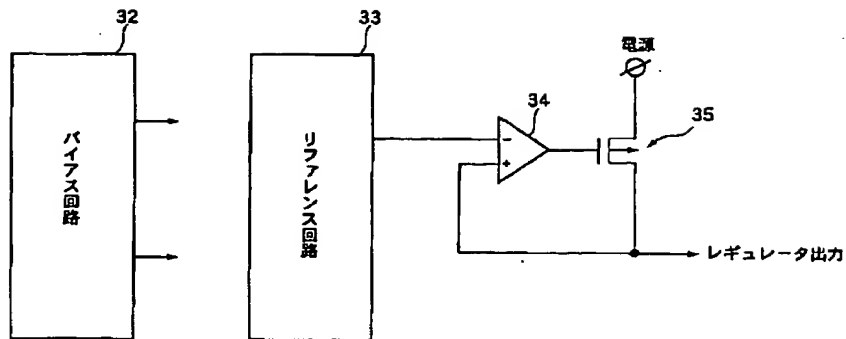
【図1】



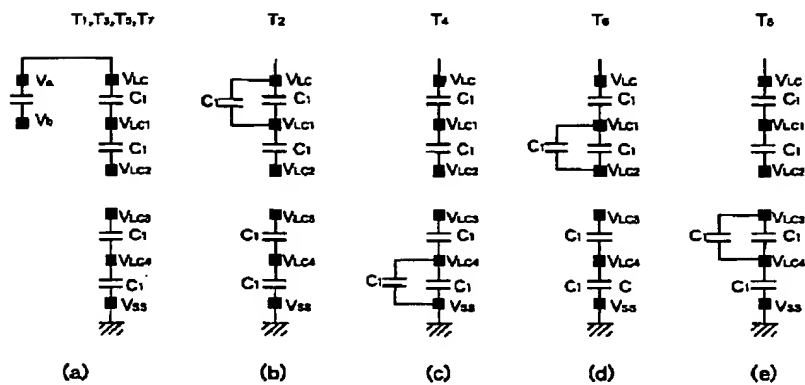
【図3】



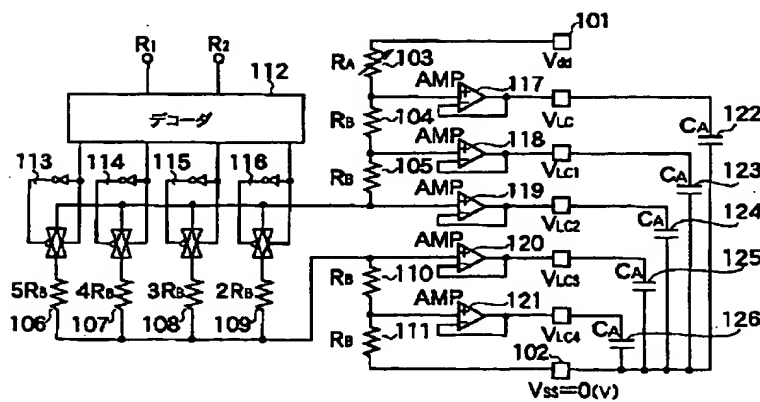
【図2】



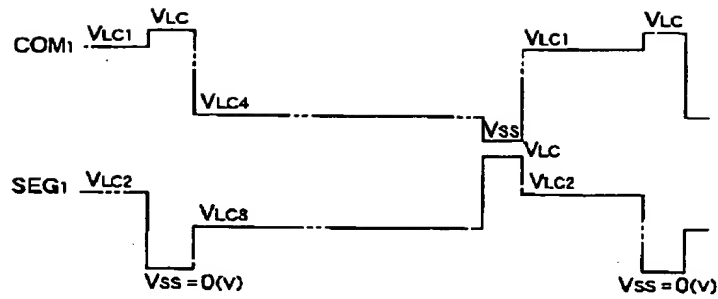
【図4】



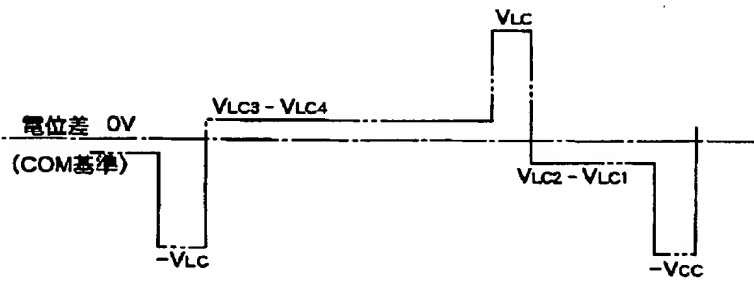
【図5】



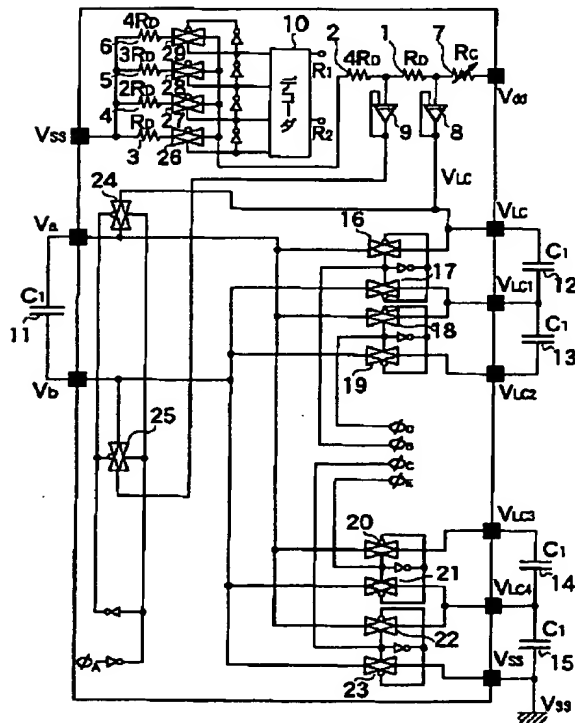
【図6】



【図7】



【図8】



THIS PAGE BLANK (USPTO)